



## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020074302 A  
(43)Date of publication of application: 30.09.2002

(21)Application number: 1020010014219

(22)Date of filing: 20.03.2001

(30)Priority:

(51)Int. Cl

G02F 1/136

(71)Applicant:

(72)Inventor:

LG.PHILIPS LCD CO., LTD.

KWON, O NAM  
LEE, GYEONG MUK

(54) LIQUID CRYSTAL DISPLAY AND FABRICATING METHOD THEREOF

(57) Abstract:

PURPOSE: A liquid crystal display and a method for fabricating the same are provided to prevent the chemical reactions with a semiconductor layer and the film separation in the etching process by forming titanium layer below copper wires. CONSTITUTION: A liquid crystal display includes first metal layers(32A,42A,44A) for the film separation of signal wires including gate lines and data lines, and thin film transistors including gate electrodes, source and drain electrodes (42,44) from a lower layer material in the etching process, and second metal layers(32B,42B,44B) having interface characteristics different from the first metal with respect to the lower material for compensating the interface characteristics between the lower material and the first metal layer.



copyright KIPO 2003

Legal Status

Date of request for an examination (20060320)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20080623)

Patent registration number (1008434720000)

Date of registration (20080626)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

Date of extinction of right ( )

특2002-0074302

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G02F 1/136

(11) 공개번호 특2002-0074302  
(43) 공개일자 2002년09월30일

(21) 출원번호	10-2001-0014219
(22) 출원일자	2001년03월20일
(71) 출원인	엔지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
(72) 발명자	이경묵 서울특별시구로구오류2동152번지우석빌리1-106 권오남 경기도의왕시삼동282-2미주아파트101동401호
(74) 대리인	김영호

상시청구 : 없음

(54) 액정표시장치 및 그의 제조방법

요약

본 발명은 구리배선의 불량을 방지하도록 한 액정표시장치 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치는 데이터신호가 공급되는 데이터라인과, 스캔신호가 공급되는 게이트라인과, 액정셀을 구동하기 위한 화소전극과, 상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 전환하기 위한 박막트랜지스터를 포함하는 액정표시장치에 있어서, 상기 게이트라인, 데이터라인, 박막트랜지스터에 포함되는 게이트전극, 소스 및 드레인전극 등을 포함하는 신호배선이 식각공정시 하층물질과 막 분리 가능한 제1 금속층과, 상기 하층물질에 대하여 상기 제1 금속과 다른 계면특성을 가짐으로써 상기 하층물질과 제1 금속 사이의 계면특성을 보상하기 위한 제2 금속층을 구비하는 것을 특징으로 한다.

이에 따라, 구리배선 아래에 타이타늄층을 형성시킴으로써 식각공정시 막분리를 방지할 수 있으며, 소정 온도이상에서 반도체층과의 화학 반응을 방지할 수 있다.

대표도

도4

명세서

도면의 간단한 설명

- 도 1은 종래의 액정표시장치의 TFT기판에 대한 전극배치도를 도시한 평면도.
- 도 2는 도 1에 도시된 TFT 기판을 A-A'선을 따라 절취한 단면도.
- 도 3a 내지 도 3e는 도 2에 도시된 TFT의 제조방법을 단계적으로 도시한 단면도.
- 도 4는 본 발명의 실시예에 따른 액정표시장치의 TFT기판에 대한 단면도.
- 도 5a 내지 도 5g는 도 4에 도시된 TFT의 제조방법을 단계적으로 도시한 단면도.
- 도 6는 (NH<sub>4</sub>)<sub>2</sub>S<sub>2</sub>O<sub>8</sub> 수용액의 농도에 따른 구리(Cu)막의 식각속도를 나타낸 그래프.
- 도 7은 옥손(Oxone)의 농도에 따른 구리(Cu)막의 식각속도를 나타낸 그래프.
- 도 8은 HF계 불화물의 농도에 따른 타이타늄(Ti)층의 식각속도를 나타낸 그래프.

<도면의 주요 부분에 대한 부호의 간단한 설명>

- 10,30 : 투명기판
- 12,32 : 게이트전극
- 15,35 : 게이트라인
- 14,34 : 데이터라인
- 16,36 : 게이트절연막
- 18,38 : 활성층

20.40 : 오믹접촉층                      22.42 : 소스전극  
24.44 : 드레인전극                      26.46 : 보호층  
28.48 : 화소전극                        29.49 : 컨택홀

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히 구리배선의 불량을 방지하도록 한 액정표시장치 및 그의 제조방법에 관한 것이다.

통상적으로, 액정표시장치(Liquid Crystal Display: LCD)는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 액정표시장치 중 액정셀별로 스위칭소자가 마련된 액티브 매트릭스(Active Matrix) 타입은 동영상상을 표시하기에 적합하다. 액티브 매트릭스 타입의 액정표시장치에서 스위칭소자는 주로 박막트랜지스터(Thin Film Transistor: 이하 'TFT'라 함)가 이용되고 있다.

도 1은 종래의 액정표시장치의 TFT기판에 대한 전극배치도이다.

도 2는 도 1에 도시된 TFT기판을 A-A'선을 따라 절취한 단면도이다.

도 1 및 도 2를 참조하면, 게이트라인(15)과 데이터라인(14)의 교차부에 형성된 TFT와, 게이트라인(15)과 데이터라인(14)의 교차구조로 마련된 화소영역에 형성된 화소전극(28)을 구비한다.

TFT는 TFT기판(10) 상에 형성된 게이트전극(12), 게이트절연막(16), 활성층(18), 소스 및 드레인전극(22,24)이 순차적으로 적층되어 구성된다. 게이트전극(12)은 게이트라인(15)과 연결되며, 소스전극(22)은 데이터라인(14)과 연결된다. 드레인전극(24)은 TFT를 보호하기 위한 보호층(26)에 형성된 컨택홀(29)을 통해 화소전극과 접촉된다.

이러한, TFT는 게이트전극(12)에 인가되는 스캔펄스 공급기간동안 데이터라인(14)상의 데이터신호를 화소전극(28)에 공급하여 액정셀을 구동하게 된다.

도 3a 내지 도 3e는 도 2에 도시된 TFT의 제조방법을 단계적으로 도시한 도면이다.

도 3a를 참조하면, 게이트전극(12)이 TFT기판(10) 상에 형성된다. 게이트전극(12)은 스퍼터링(sputtering) 등의 방법으로 금속박막을 형성한 후, 습식방법을 포함하는 포토리소그래피방법으로 패터닝함으로써 게이트라인(15)과 함께 형성된다. 게이트전극(12)의 재료로는 알루미늄(Al) 또는 구리(Cu) 등의 금속물질이 사용되며, 식각액으로는  $(\text{NH}_4)_2\text{S}_2\text{O}_8$  수용액 등이 사용된다.

도 3b를 참조하면, 게이트전극(12)이 형성된 TFT기판(10) 상에 게이트절연막(16), 활성층(18) 및 오믹접촉층(20)이 순차적으로 적층된다.

게이트절연막(16)은 질화실리콘 또는 산화실리콘의 절연물질을 투명기판(10) 상에 전면 증착함으로써 형성된다. 게이트절연막(16) 상에 비정질실리콘층 및 불순물이 도핑된 비정질실리콘층을 화학기상증착방법(Chemical Vapor Deposition: 이하 'CVD'라 함)을 이용하여 순차적으로 적층한다. 이러한, 비정질실리콘층 및 불순물이 도핑된 비정질실리콘층은 포토리소그래피방법으로 패터닝하여 활성층(18) 및 오믹접촉층(20)을 형성하게 된다.

도 3c를 참조하면, 게이트절연막(16) 상에 오믹접촉층(18)을 덮도록 소스 및 드레인전극(22,24)이 형성된다. 소스 및 드레인(22,24)전극은 금속층을 게이트절연막(16) 상에 오믹접촉층(20)을 덮도록 CVD방법 또는 스퍼터링(sputtering)방법으로 증착한 후, 포토리소그래피방법으로 패터닝함으로써 데이터라인과 함께 형성된다. 소스 및 드레인전극(22,24)은 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)을 사용하고, 식각액으로  $(\text{NH}_4)_2\text{S}_2\text{O}_8$  수용액을 사용한다. 이러한 소스 및 드레인전극(22,24)을 마스크를 이용하여 노출된 오믹접촉층(20)을 건식 식각하여 소스 및 드레인전극(22,24) 사이로 활성층(18)이 노출되도록 한다. 상기에서 활성층(18)의 소스 및 드레인전극(22,24)사이의 게이트전극(12)과 대응하는 부분은 채널이 된다.

도 3d를 참조하면, 보호층(26)은 절연물질을 전면 증착한 후 패터닝하여 형성된다. 이 경우, 드레인전극(24)을 노출시키는 컨택홀(29)이 형성된다. 보호층(26)은 질화실리콘 또는 산화실리콘등의 무기절연물질 또는 아크릴계(acryl) 유기화합물, 테프론(Teflon), BCB (benzocyclobutene), 사이토프 (cytop) 또는 PFC(perfluorocyclobutane) 등의 유전상수가 작은 유기절연물로 형성된다.

도 3e를 참고하면, 보호층(26) 상에 화소전극(28)을 형성한다. 화소전극(28)은 투명전도성물질인 인듐-주석-옥사이드(Indium-Tin-Oxide: 이하 'ITO'라 함), 인듐-아연-옥사이드(Indium-Zinc-Oxide: 이하 'IZO'라 함), 인듐-주석-아연-옥사이드(Indium-Tin-Zinc-Oxide: 이하 'ITZO'라 함)들 중 어느 하나로 증착한 후 패터닝함으로써 형성된다. 화소전극(28)은 드레인전극(24)과 컨택홀(29)을 통해 전기적으로 접촉한다.

이러한 종래의 액정표시장치에서는 통상 금속전극의 재료로서 도전율이 좋은 금속물질 특히, 구리(Cu)를 이용하게 된다. 그런데, 게이트전극으로 구리(Cu)를 사용하는 경우, 게이트전극 형성시 구리(Cu) 단층막은 투명기판과의 밀착성이 좋지 않아 식각 공정 진행 중에 구리막이 벗겨지기가 쉽다. 이에 따라, 공정 진행시 게이트배선 불량에 발생하며, 수율저하를 초래하는 문제점이 대두된다.

또한, 소스 및 드레인전극으로 구리(Cu)막을 사용할 경우, 소정의 온도(200 °C) 이상에서 구리 원자가 비정질실리콘층으로 확산(diffusion)되어 TFT의 특성이 저하되는 문제점이 발생한다. 따라서, 소스 및 드레인전극으로 구리(Cu)막을 사용하기가 어렵다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 구리배선의 불량을 방지하도록 한 액정표시장치 및 그의 제조방법을 제공하는 데 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치는 데이터신호가 공급되는 데이터라인과, 스캔신호가 공급되는 게이트라인과, 액정셀을 구동하기 위한 화소전극과, 상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 절환하기 위한 박막트랜지스터를 포함하는 액정표시장치에 있어서, 상기 게이트라인, 데이터라인, 박막트랜지스터에 포함되는 게이트전극, 소스 및 드레인전극 등을 포함하는 신호배선이 식각공정시 하층물질과 막분리가 가능한 제1 금속층과, 상기 하층물질에 대하여 상기 제1 금속과 다른 계면특성을 가짐으로써 상기 하층물질과 제1 금속 사이의 계면특성을 보상하기 위한 제2 금속층을 구비하는 것을 특징으로 한다.

본 발명에 따른 액정표시장치는 상기 게이트라인, 데이터라인, 박막트랜지스터에 포함되는 게이트전극, 소스 및 드레인전극 등을 포함하는 신호배선이 제조공정시 소정의 온도 이상에서 하층물질과 화학적 반응이 일어나는 제1 금속층과, 상기 하층물질이 상기 제1 금속과의 화학적 반응을 방지하기 위한 제2 금속층을 구비하는 것을 특징으로 한다.

본 발명에 따른 액정표시장치의 제조방법은 데이터신호가 공급되는 데이터라인과, 스캔신호가 공급되는 게이트라인과, 액정셀을 구동하기 위한 화소전극과, 상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 절환하기 위한 박막트랜지스터를 포함하는 액정표시장치의 제조방법에 있어서, 상기 게이트라인, 데이터라인, 박막트랜지스터에 포함되는 게이트전극, 소스 및 드레인전극 등을 포함하는 신호배선은 제조공정시 소정의 온도 이상에서 하층물질과 화학적 반응이 일어나는 제1 금속층과 상기 하층물질이 상기 제1 금속과의 화학적 반응을 방지하기 위한 제2 금속층으로 형성되는 것을 특징으로 한다.

본 발명에 따른 액정표시장치의 제조방법은 상기 게이트라인, 데이터라인, 박막트랜지스터에 포함되는 게이트전극, 소스 및 드레인전극 등을 포함하는 신호배선은 제조공정시 소정의 온도 이상에서 하층물질과 화학적 반응이 일어나는 제1 금속층과 상기 하층물질이 상기 제1 금속과의 화학적 반응을 방지하기 위한 제2 금속층으로 형성되는 것을 특징으로 한다.

또한, 본 발명에 따른 액정표시장치는 상기 신호배선은 제2 금속층과 제1 금속층이 순차적으로 형성되는 단계와, 상기 제1 금속층과 제2 금속층이 포토리소그래피 방법으로 순차적으로 패터닝되는 단계를 포함하는 것을 특징으로 하고, 상기 제1 금속층이 구리로 형성되고, 상기 제2 금속층이 타이타늄으로 이루어진 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명에들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 4 내지 8를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 4는 본 발명의 실시예에 따른 액정표시장치의 TFT기판에 대한 단면도이다.

도 4를 참조하면, 도시되지 않은 게이트라인과 데이터라인의 교차부에 형성된 TFT와, 게이트라인과 데이터라인의 교차구조로 마련된 화소영역에 형성된 화소전극(48)을 구비한다.

TFT는 TFT 기판(30) 상에 형성된 게이트전극(32), 게이트절연막(36), 활성층(38), 오믹접촉층(40), 소스 및 드레인전극(42,44)이 순차적으로 적층되어 구성된다. 게이트전극(32)은 게이트라인(도시되지 않음)과 연결되며, 소스전극(42)은 데이터라인(도시되지 않음)과 연결된다. 드레인전극(44)은 보호층(36)에 형성된 컨택홀(49)을 통해 화소전극(48)과 접촉된다.

게이트라인과 게이트전극(32)은 제1 금속층(32A)과 제2 금속층(32B)로 구성된다.

마찬가지로, 데이터라인과 소스 및 드레인전극(42,44)도 제1 금속층(42A,44A) 및 제2 금속층(42B,44B)으로 구성된다.

이러한, TFT는 게이트전극(32)에 인가되는 스캔펄스 공급기간동안 데이터라인(도시되지 않음) 상의 데이터신호를 화소전극(48)에 공급하여 액정셀을 구동하게 된다.

도 5a 내지 도 5g는 도 4에 도시된 TFT의 제조방법을 단계적으로 도시한 도면이다.

도 5a를 참조하면, 투명기판(30) 상에 제1 금속층(32A)과 제2 금속층(32B)이 순차적으로 형성된다. 제1 금속층은 전도성이 좋은 구리(Cu)를 사용하며, 제2 금속층은 타이타늄(Ti), 탄탈륨(Ta), 니켈(Ni), 알루미늄(Al) 중 어느 하나를 사용한다. 제1 금속층(31)과 제2 금속층(30)은 스퍼터링(sputtering) 등의 방법으로 형성된다.

도 5b를 참조하면, 제1 금속층(31)이 포토리소그래피방법으로 패터닝된다. 여기서 식각액으로 옥손(Oxone)이 포함된 식각액(예를 들어, 2KHSO<sub>5</sub>, KHSO<sub>4</sub>, K<sub>2</sub>SO<sub>4</sub>)이 사용된다.

이어서, 도 5c를 참조하면, 제1 및 제2 금속층(32A, 32B)으로 구성된 게이트전극(32)이 형성된다. 게이트전극(32)은 제1 금속층(32A)에 이어 제2 금속층(32B)이 포토리소그래피방법으로 패터닝되어 형성된다. 여기서 식각액으로 버퍼 옥사이드 에천트(Buffer Oxide Etchant : 이하 'BOE'라 함) 또는 F계 불화물(예를 들면, HF, KF, NH<sub>4</sub>F, NaF)이 사용된다.

도 5d를 참조하면, 게이트전극(32)이 형성된 TFT기판(30) 상에 게이트절연막(36), 활성층(38) 및 오믹접촉층(40)이 적층된다.

게이트절연막(36)은 질화실리콘 또는 산화실리콘으로 절연물질을 TFT기판(30) 상에 전면 증착함으로써 형성된다. 게이트절연막(36) 상에 비정질실리콘층 및 불순물이 고농도로 도핑된 비정질실리콘층을 CVD방법을 이용하여 순차적으로 적층한다. 이러한, 비정질실리콘층 및 불순물이 도핑된 비정질실리콘층은 포토리소그래피방법으로 패터닝하여 활성층(38) 및 오믹접촉층(40)을 형성하게 된다.

도 5e를 참조하면, 게이트절연막(36) 상에 오믹접촉층(40)을 덮도록 소스 및 드레인전극(42, 44)이 형성된다. 소스 및 드레인전극(42, 44)은 제1 금속층(42A, 44A) 및 제2 금속층(42B, 44B)으로 구성된다.

소스 및 드레인전극(42, 44)은 제1 금속층(42A, 44A) 및 제2 금속층(42B, 44B)을 게이트절연막(36) 상에 오믹접촉층(40)을 덮도록 CVD 방법 또는 스퍼터링(Sputtering)방법으로 증착한 후, 포토리소그래피방법으로 패터닝함으로써 데이터라인과 함께 형성된다. 여기서, 제1 금속층(42A, 44A)을 식각하는 식각액으로 옥손(Oxone)이 포함된 식각액(예를 들어, 2KHSO<sub>5</sub>, KHSO<sub>4</sub>, K<sub>2</sub>SO<sub>4</sub>)를 사용하며, 제2 금속층(42B, 44B)을 식각하는 식각액으로 버퍼 옥사이드 에천트(Buffered Oxide Etchant : 이하 'BOE'라 함) 또는 F계 불화물(예를 들면, HF, KF, NH<sub>4</sub>F, NaF)이 사용된다. 소스 및 드레인전극(42, 44)의 제1 금속층은 전도성이 좋은 구리(Cu)를 사용하며, 제2 금속층은 타이타늄(Ti), 탄탈륨(Ta), 니켈(Ni), 알루미늄(Al) 중 어느 하나를 사용한다. 이러한 소스 및 드레인전극(42, 44)을 마스크를 이용하여 노출된 오믹접촉층(40)을 식각하여 소스 및 드레인전극(42, 44) 사이로 활성층(38)이 노출되도록 한다. 상기에서 활성층(38)의 소스 및 드레인전극(42, 44)사이의 게이트전극과 대응하는 부분은 채널이 된다.

도 5f를 참조하면, 보호층(46)은 절연물질을 전면 증착한 후 패터닝하여 형성된다. 이 경우, 드레인전극(44)을 노출시키는 콘택홀(49)이 형성된다. 보호층(46)은 질화실리콘 또는 산화실리콘등의 무기절연물질 또는 아크릴계(acryl) 유기화합물, 테프론(Teflon), BCB (benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane) 등의 유전상수가 작은 유기절연물로 형성된다.

도 5g를 참고하면, 보호층(46) 상에 화소전극(48)을 형성한다. 화소전극(48)은 투명전도성물질인 ITO, IZO, ITZO 들 중 어느 하나로 증착된 후, 패터닝됨으로써 형성된다. 화소전극(48)은 드레인전극(44)과 콘택홀(49)을 통해 전기적으로 접촉한다.

도 6 내지 도 8은 서로 다른 식각액에 의한 구리(Cu) 또는 타이타늄(Ti)배선의 식각속도를 나타낸 그래프이다.

도 6 내지 도 8에 있어서, 각 식각액의 식각속도를 척도로 하여 각 금속물질을 식각한다. 금속물질이 너무 빠르게 식각되거나, 너무 느리게 식각되면 공정 제어가 어려우므로 알맞은 식각속도로 금속물질을 식각해야 한다.

도 6은 옥손(Oxone)의 농도에 따른 구리(Cu)막의 식각속도를 나타낸다.

도 6과 같이 구리(Cu)막은 옥손(Oxone)의 농도가 0.03-0.3(mol) 사이의 식각액을 사용하여 650-5000(Å/min)의 속도로 식각하는 것이 적당하다.

도 7은 (NH<sub>4</sub>)<sub>2</sub>S<sub>2</sub>O<sub>8</sub> 수용액의 농도에 따른 구리(Cu)막의 식각속도를 나타낸다.

도 7과 같이 구리(Cu)막은 (NH<sub>4</sub>)<sub>2</sub>S<sub>2</sub>O<sub>8</sub> 수용액의 농도가 0.025-0.15(mol) 사이의 식각액을 사용하여 400-2400(Å/min)의 속도로 식각하는 것이 적당하다.

도 8은 HF의 농도에 따른 타이타늄(Ti)층의 식각속도를 나타낸다.

도 8과 같이 타이타늄(Ti)층은 HF의 농도 0.1-0.5(mol) 사이의 식각액을 사용하여 1100-2400(Å/min)의 속도로 식각하는 것이 적당하다.

#### 발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그의 제조방법은 구리배선 아래에 타이타늄층을 형성 시킴으로써 식각공정시 막분리를 방지할 수 있으며, 소정 온도이상에서 반도체층과의 화학 반응을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

#### (57) 청구의 범위

##### 청구항 1

데이터신호가 공급되는 데이터라인과, 스캔신호가 공급되는 게이트라인과, 액정셀을 구동하기 위한 화소전

극과, 상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 전환하기 위한 박막트랜지스터를 포함하는 액정표시장치에 있어서,

상기 게이트라인, 데이터라인, 박막트랜지스터에 포함되는 게이트전극, 소스 및 드레인전극 등을 포함하는 신호배선이

식각공정시 하층물질과 막분리가 가능한 제1 금속층과,

상기 하층물질에 대하여 상기 제1 금속과 다른 계면특성을 가짐으로써 상기 하층물질과 제1 금속 사이의 계면특성을 보상하기 위한 제2 금속층을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 금속층은 구리(Cu)로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 제2 금속층은 타이타늄(Ti)으로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 4

데이터신호가 공급되는 데이터라인과, 스캔신호가 공급되는 게이트라인과, 액정셀을 구동하기 위한 화소전극과, 상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 전환하기 위한 박막트랜지스터를 포함하는 액정표시장치에 있어서,

상기 게이트라인, 데이터라인, 박막트랜지스터에 포함되는 게이트전극, 소스 및 드레인전극 등을 포함하는 신호배선이

제조공정시 소정의 온도 이상에서 하층물질과 화학적 반응이 일어나는 제1 금속층과,

상기 하층물질이 상기 제1 금속과의 화학적 반응을 방지하기 위한 제2 금속층을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제1 금속층은 구리(Cu)로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 6

제 4 항에 있어서,

상기 제2 금속층은 타이타늄(Ti)으로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 7

데이터신호가 공급되는 데이터라인과, 스캔신호가 공급되는 게이트라인과, 액정셀을 구동하기 위한 화소전극과, 상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 전환하기 위한 박막트랜지스터를 포함하는 액정표시장치의 제조방법에 있어서,

상기 게이트라인, 데이터라인, 박막트랜지스터에 포함되는 게이트전극, 소스 및 드레인전극 등을 포함하는 신호배선은

제조공정시 소정의 온도 이상에서 하층물질과 화학적 반응이 일어나는 제1 금속층과 상기 하층물질이 상기 제1 금속과의 화학적 반응을 방지하기 위한 제2 금속층으로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제 7 항에 있어서,

상기 신호배선은 제2 금속층과 제1 금속층이 순차적으로 형성되는 단계와,

상기 제1 금속층과 제2 금속층이 포토리소그래피 방법으로 순차적으로 패터닝되는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 7 항에 있어서,

상기 제1 금속층은 구리(Cu)로 이루어진 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제 7 항에 있어서,

상기 제2 금속층은 타이타늄(Ti)으로 이루어진 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11

데이터신호가 공급되는 데이터라인과, 스캔신호가 공급되는 게이트라인과, 액정셀을 구동하기 위한 화소전극과, 상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 절환하기 위한 박막트랜지스터를 포함하는 액정표시장치의 제조방법에 있어서,

상기 게이트라인, 데이터라인, 박막트랜지스터에 포함되는 게이트전극, 소스 및 드레인전극 등을 포함하는 신호배선은

제조공정시 소정의 온도 이상에서 하층물질과 화학적 반응이 일어나는 제1 금속층과 상기 하층물질이 상기 제1 금속과의 화학적 반응을 방지하기 위한 제2 금속층으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 신호배선은 제2 금속층과 제1 금속층이 순차적으로 형성되는 단계와,

상기 제1 금속층과 제2 금속층이 포토리소그래피 방법으로 순차적으로 패터닝되는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13

제 11 항에 있어서,

상기 제1 금속층은 구리(Cu)로 이루어진 것을 특징으로 하는 액정표시장치의 제조방법.

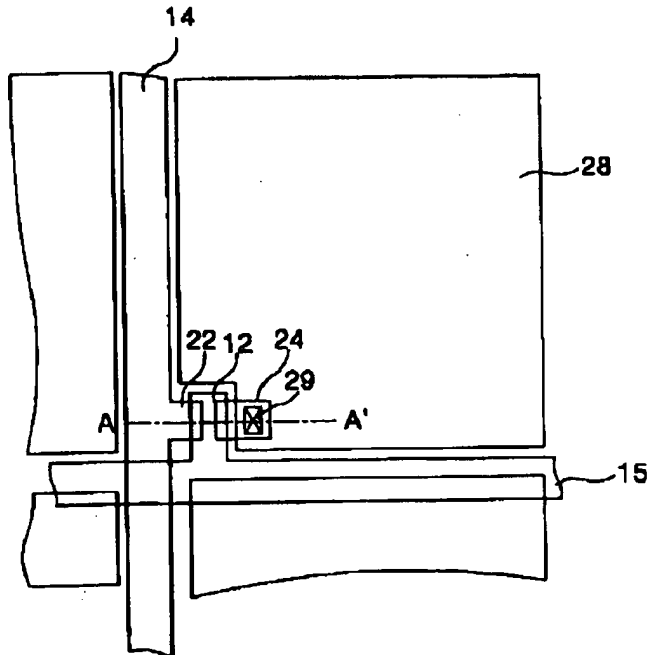
청구항 14

제 11 항에 있어서,

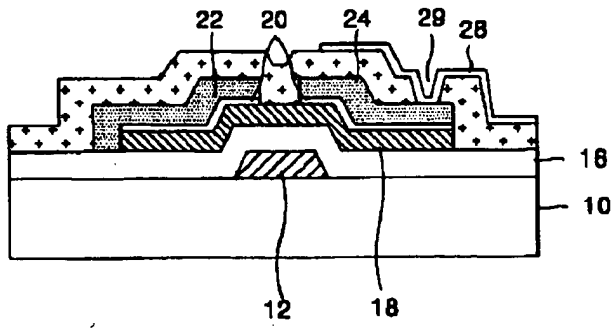
상기 제2 금속층은 타이타늄(Ti)으로 이루어진 것을 특징으로 하는 액정표시장치의 제조방법.

도면

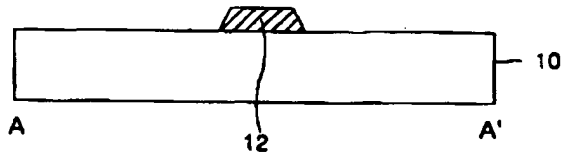
도면1



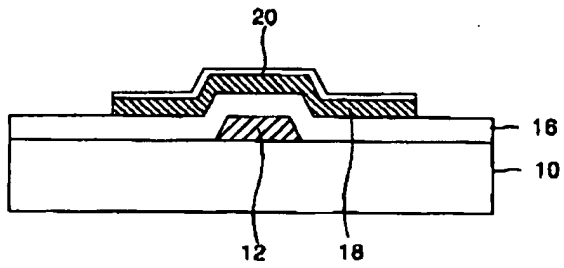
도면2



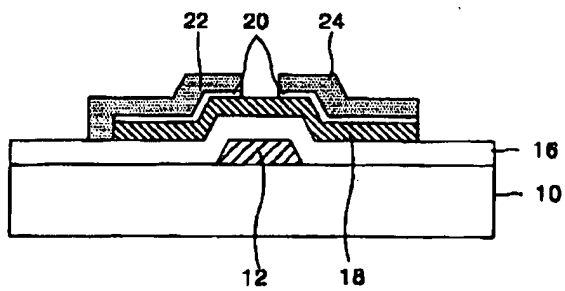
도면3a



도면3b

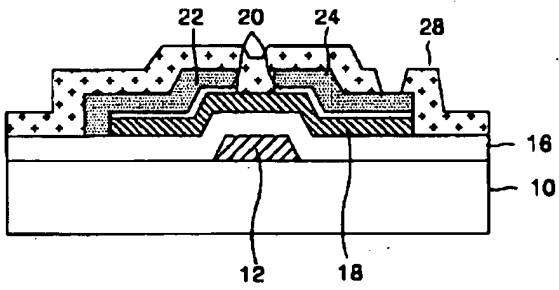


도면3c

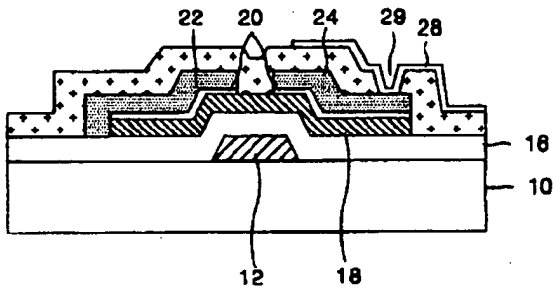




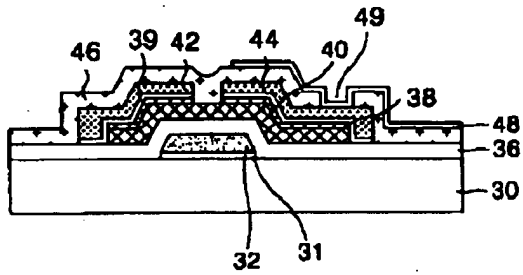
도면3d



도면3e



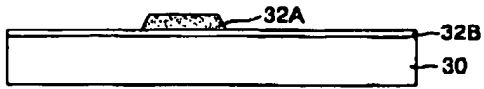
도면4



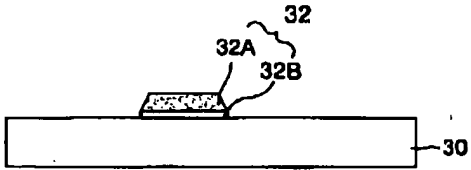
도면5a



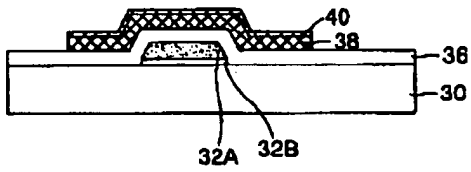
도면5b



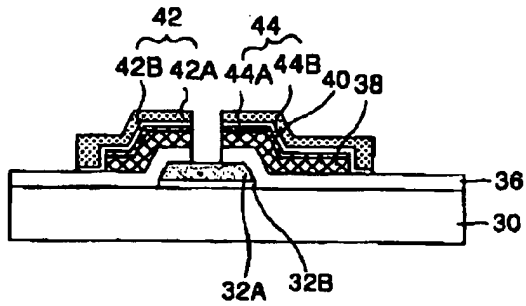
도면5c



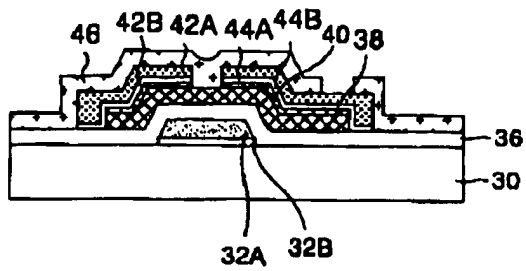
도면5d



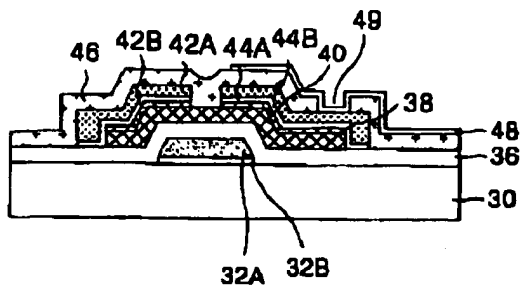
도면5e



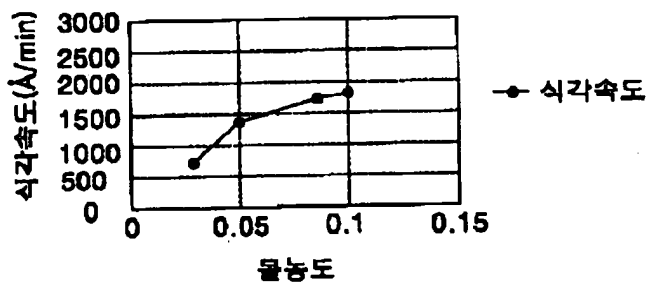
도면5f



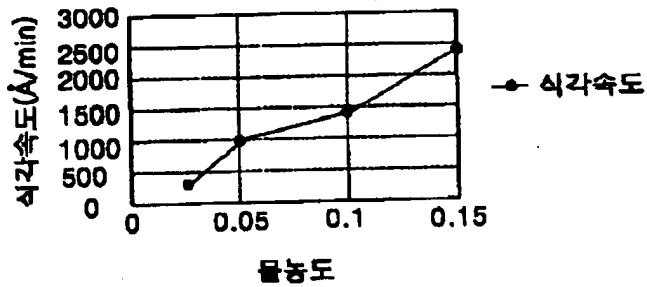
도면5g



도면6



도면7



도면8

